

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月29日

出 願 番 号

Application Number:

特願2002-220030

[ST.10/C]:

[JP2002-220030]

出 願 人

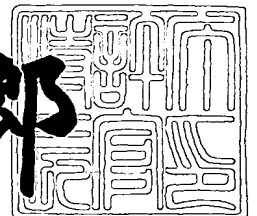
Applicant(s):

株式会社東芝

2003年 4月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3023459

【書類名】 特許願

【整理番号】 A000202561

【提出日】 平成14年 7月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 3

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研  
究開発センター内

【氏名】 手塚 勉

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研  
究開発センター内

【氏名】 高木 信一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【その他】

国等の委託研究の成果に係る特許出願（平成13年度新エネルギー・産業技術総合開発機構「次世代半導体材料・プロセス基盤技術開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】      要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

絶縁膜上の単結晶 Si 層上に、単結晶の  $Si_{1-x-y} Ge_x C_y$  層 ( $1 > x > 0$ ,  $1 > y \geq 0$ ) からなる島状領域と、該島状領域の周囲を囲む非晶質又は多結晶の  $Si_{1-x-y} Ge_x C_y$  層からなる周辺領域を形成する工程と、

前記各  $Si_{1-x-y} Ge_x C_y$  層に加熱処理を施す工程と、

前記加熱処理後に、表面の酸化膜を除去した後に、前記島状領域上に素子形成領域となる単結晶の  $Si_{1-z-w} Ge_z C_w$  層 ( $1 > z \geq 0$ ,  $1 > w \geq 0$ ) を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

絶縁膜上の単結晶 Si 層上に単結晶の  $Si_{1-x-y} Ge_x C_y$  層 ( $1 > x > 0$ ,  $1 > y \geq 0$ ) を形成する工程と、

前記  $Si_{1-x-y} Ge_x C_y$  層上に島状のマスク層を形成する工程と、

前記  $Si_{1-x-y} Ge_x C_y$  層の前記マスク層で覆われた島状領域を除く周辺領域をイオン注入で非晶質化する工程と、

前記  $Si_{1-x-y} Ge_x C_y$  層に加熱処理を施す工程と、

前記加熱処理後に、表面の酸化膜を除去した後に、前記  $Si_{1-x-y} Ge_x C_y$  層の島状領域上に素子形成領域となる単結晶の  $Si_{1-z-w} Ge_z C_w$  層 ( $1 > z \geq 0$ ,  $1 > w \geq 0$ ) を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

前記加熱処理を、酸素ガスを含む雰囲気中で行うことを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路に用いる半導体装置の製造方法に係わり、特に歪み Si, SiGe チャンネルの MOSFET によって構成された高速、低消費電力 CMOS 論理回路素子やアナログ、RF 回路素子等を製造するための半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、電界効果トランジスタ (MOSFET) のゲート長の短縮に対する技術的、経済的な障壁が急激に高くなっており、この状況を緩和するために高移動度のチャンネル材料、特に歪み Si (或いは歪み SiGe) を用いる技術が注目されている。歪み Si は、より格子定数の大きな格子緩和 SiGe 上に形成され、面内の引張り歪みにより電子、正孔の移動度はいずれも増大する。下地の SiGe の Ge 組成が大きくなるほど歪み Si の歪み量が大きくなり、移動度はより高くなる。この歪み Si チャンネルを有する MOSFET で CMOS を構成すれば、同じサイズの Si-CMOS よりも高速動作が期待できる。

【0003】

本発明者らは、この歪み Si と SOI (Si-On-Insulator) 構造とを組み合わせた MOSFET (歪み SOI-MOSFET) を提案し、さらに動作実証してきた (T.Mizuno, S.Takagi, N.Sugiyama, J.Koga, T.Tezuka, K.Usuda, T.Hatakeyama, A.Kurobe, and A.Toriumi, IEDM Technical Digests p.934(1999))。

【0004】

この素子は、図 5 に示すように、Si 基板 1 上に埋め込み酸化膜 2、格子緩和 SiGe バッファ層 3、歪み Si チャンネル 4、ゲート酸化膜 5、ゲート電極 6 を順次積層して形成されている。本構造では、歪み Si チャンネルのキャリア移動度が高いことによるメリットのほか、接合容量を小さくできる、不純物濃度を低く抑えたまま微細化ができる、等の SOI 構造に起因するメリットを併せ持つ。従って、本構造で CMOS 論理回路を構成すれば、より高速かつ低消費電力の動作が可能となる。

【0005】

図 5 のような素子を実用に供するためには、低転位密度で、かつほぼ完全に格

子緩和した  $\text{Si}_{1-x}\text{Ge}_x$  バッファ層が必要である。そのようなバッファ層を得るための方法として、本発明者らは図 2 に示すように、酸化膜上に形成された低 Ge 組成 ( $x = 0.1$ ) の  $\text{SiGe}$  層を高温で熱酸化することにより、Ge 組成を増大させつつ ( $x > 0.5$ ) 格子緩和、薄膜化を同時に達成する方法 (酸化濃縮法) を既に提案している (特開 2 0 0 2 - 7 6 3 4 7 号公報)。また、SOI 上に  $\text{SiGe}$  薄膜をエピタキシャル成長したものを酸化濃縮することも可能である (T. Tezuka et al, Appl. Phys. Lett. 79, p1798 (2001))。

## 【 0 0 0 6 】

$\text{Si}$  チャンネル層を十分歪ませて高い移動度を得るためには、下地の  $\text{SiGe}$  層が十分格子緩和している必要がある。一方、信頼性やリーク電流の低減のためには、転位等の格子欠陥の発生を抑制する必要がある。しかしながら、従来の酸化濃縮法では、十分格子緩和させつつ貫通転位密度を実用上の目安となる値  $10^3 \text{ cm}^{-2}$  程度まで低減するのが困難であるという問題があった。

## 【 0 0 0 7 】

一方、SOI 上の  $\text{SiGe}$  層の緩和を促進するために、埋め込み酸化膜中に B (ボロン) をイオン注入してアニールする方法が提案されている (F. Y. Huang et al., Appl. Phys. Lett. Vol. 19, pp. 2680-2682 (2000))。この方法によれば、酸化膜中に B が混入することにより酸化膜の軟化温度が大幅に低下するので、 $800^\circ\text{C}$  程度のアニール温度でも転位を導入することなく高い緩和率を得られる可能性がある。しかし、B は極めて拡散しやすいので、アニール工程中に酸化膜上の  $\text{Si}$  層や  $\text{SiGe}$  層中に容易に拡散してしまう。B は  $\text{Si}$  に対する p 型不純物となるため、絶縁膜上の半導体層は全て高濃度の p 型にドーピングされてしまい、CMOS の作製は極めて困難となる。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

このように従来、歪み SOI-MOSFET を実用に供するには、低転位密度で十分に格子緩和した  $\text{SiGe}$  バッファ層が必要であるが、絶縁膜上の格子緩和  $\text{SiGe}$  薄膜を、転位を導入することなしに形成することは困難であった。

## 【 0 0 0 9 】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、不純物のドーブ等を行うことなく、歪み  $\text{Si-Ge}$  の製造に適した絶縁膜上の格子緩和  $\text{SiGe}$  薄膜を形成することができ、高速、低消費電力の  $\text{CMOS}$  デバイスの実現に寄与する半導体装置の製造方法を提供することにある。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

## (構成)

上記課題を解決するために本発明は、次のような構成を採用している。

## 【 0 0 1 1 】

即ち本発明は、半導体装置の製造方法において、絶縁膜上の単結晶  $\text{Si}$  層上に、単結晶の  $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層 ( $1 > x > 0$ ,  $1 > y \geq 0$ ) からなる島状領域と、該島状領域の周囲を囲む非晶質又は多結晶の  $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層からなる周辺領域を形成する工程と、前記各  $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層に加熱処理を施して、表面の一部を酸化する工程と、前記加熱処理により生成された酸化膜を除去した後に、前記島状領域上にトランジスタの素子形成領域となる単結晶の  $\text{Si}_{1-z-w}\text{Ge}_z\text{C}_w$  層 ( $1 > z \geq 0$ ,  $1 > w \geq 0$ ) を形成する工程と、を含むことを特徴とする。或いは、酸化する代わりに、表面を保護膜 ( $\text{Si}$  酸化膜、 $\text{Si}$  窒化膜など) で被覆した後に加熱処理しても良い。この場合は、 $\text{Ge}$  組成の増大は生じないが、格子緩和は生じる。

## 【 0 0 1 2 】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

## 【 0 0 1 3 】

(1)  $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層からなる単結晶の島状領域と非晶質又は多結晶の周辺領域を形成する工程として、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層上に島状のマスク層を形成した後、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層のマスク層で覆われた島状領域を除く周辺領域をイオン注入で非晶質化する。

## 【 0 0 1 4 】

(2)  $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  層からなる単結晶の島状領域と非晶質又は多結晶の周辺領域を形成する工程として、絶縁膜上の単結晶  $\text{Si}$  層上に、素子形成領域に



相当する部分を除いて酸化膜を形成した後に、単結晶 Si 層上に  $Si_{1-x-y} Ge_x C_y$  単結晶層を、酸化膜上に  $Si_{1-x-y} Ge_x C_y$  多結晶層をそれぞれ形成する。

【0015】

(3) 加熱処理を、酸素ガスを含む雰囲気中で行うこと。

【0016】

(作用)

Si 基板に格子整合した歪み SiGe 層を、転位を発生させることなく格子緩和させるためには、下地の埋め込み酸化膜との界面ですべりが生じ、横方向に格子が広がる必要がある。従って、SiGe 層と埋め込み酸化膜界面をすべりよくすること、及び横方向に広がるための空間的余裕が必要である。

【0017】

本発明においては、この二つの条件を満たすために、絶縁膜上の Si 結晶層 (SOI) 上に島状の SiGe 層を形成し、この島状の領域に隣接する周辺領域を非晶質又は多結晶の SiGe 層とし、この状態で熱処理を行う。熱処理を非酸化性雰囲気中で行う場合には、表面荒れを防ぐために Si 酸化膜または Si 窒化膜を加熱処理前に堆積する。このとき、周囲の SiGe 層中に高密度に存在する粒界のずれにより、島状 SiGe 層が横に広がることが可能となる。また、島状領域の面積が小さいほど島状領域と絶縁膜界面の接触面積が小さくなるため、すべりが生じやすくなる。従って、島状領域の面積が小さいほど容易に緩和が生じ、ある臨界値よりも小さければ、全く転位を生じることなく完全に格子緩和する。

【0018】

このとき、Si と Ge 原子の相互拡散により Si 層と SiGe 層との界面は消失し、また Ge 組成は均一化する。さらに、熱処理の際に酸素を導入し、従来技術の項で説明した酸化濃縮を行うと、酸化前に比べ高 Ge 組成でかつ薄膜の格子緩和 SiGe 層が得られる。次に、表面の酸化膜を除去した後に、該島状領域上に Si 層を形成することにより、十分な格子歪みを有する素子形成用半導体層を形成することが可能となる。

【0019】

このように本発明によれば、歪み Si-CMOS の製造に適した絶縁膜上の格子緩和 SiGe 薄膜を形成することができる。しかも、不純物のドーピング等を行う必要もないので、CMOS の作製に不都合が生じることもない。従って、高速、低消費電力の CMOS デバイスの実現に寄与することが可能となる。

## 【 0 0 2 0 】

なお、島状領域に隣接する周辺領域を非晶質又は多結晶とすることにより島状領域の結晶の格子歪みが緩和する現象は、SiGe に限らず SiGeC についても同様に言えることである。さらに、素子形成層としては Si の代わりに SiGe、SiGeC を用いることも可能である。

## 【 0 0 2 1 】

## 【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

## 【 0 0 2 2 】

## (第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図である。

## 【 0 0 2 3 】

まず、図 1 (a) に示すように、Si 基板 11 上に SiO<sub>2</sub> 膜 (埋め込み絶縁膜) 12 を介して膜厚 20 nm の Si 層 (SOI 層) 13 を形成した膜厚 20 nm の SOI 基板 10 を用意し、この SOI 基板 10 上に、超高真空 CVD、低圧 CVD、常圧 CVD、又は分子線エピタキシャル成長法により膜厚 20 nm の Si<sub>0.85</sub>Ge<sub>0.15</sub> 層 21 を成長し、さらにその上に膜厚 5 nm の Si キャップ層 22 を成長する。

## 【 0 0 2 4 】

次いで、図 1 (b) に示すように、フォトリソグラフィでトランジスタの活性領域 (ソース・ドレイン及びチャネル領域) 30 をレジスト 31 にパターニングする。ここで、活性領域は例えば矩形形状とし、活性領域 30 のサイズが 20 μm<sup>2</sup> より小さければ熱処理後にほぼ完全に格子緩和する。

## 【 0 0 2 5 】

次いで、図 1 (c) に示すように、レジスト 3 1 をマスクに不純物 (Ge, Si, B, BF<sub>2</sub>, As など) をイオン注入し、トランジスタ形成領域外を非晶質化する。図中の 2 3 がイオン注入により非晶質化した SiGe 非晶質層である。注入イオン種としては、ドーピングプロファイルに影響を与えないために Ge イオン又は Si イオンが好ましい。

## 【 0 0 2 6 】

次いで、1 0 0 0℃以上の高温でドライ酸化し、埋め込み酸化膜 1 2 上の SiGe 層の膜厚が 1 0 nm になるまで薄膜化する。この酸化処理は、酸化濃縮法と称されるもので、図 2 (a) に示す状態で 1 0 0 0℃以上の高温にてドライ酸化を行うと、図 2 (b) に示すように SiGe 層 2 1 の表面が酸化されて酸化膜 2 4 が形成される。そして、酸化膜 2 4 から Ge が排除されて残った SiGe 中に蓄積され、高 Ge 組成 SiGe 膜 2 5 が形成される。なお、この熱処理においては、Ge と Si の相互拡散により Si 層 1 3 と SiGe 層 2 1 の界面は消失してしまう。

## 【 0 0 2 7 】

これにより、図 1 (d) に示すように、均一組成 ( $x = 0.3$ ) の格子緩和 SiGe 層 2 5 が埋め込み酸化膜 1 2 上に形成される。酸化温度は、SiGe 活性領域が完全に融解しない範囲で高い方が望ましい。何故なら、温度が高いほど埋め込み酸化膜 1 2 と SiGe 層 2 5 との界面でのすべりが促進され、緩和率が高められるためである。具体的には、1 1 5 0℃から 1 2 5 0℃の間が望ましい。勿論、酸化濃縮中の Ge 組成の増大に応じ、徐々に酸化温度を下げてよい。

## 【 0 0 2 8 】

なお、SiGe 層 2 5 の周りの SiGe 非晶質層 2 3 も同様に酸化濃縮法により Ge 濃度が高くなり、高 Ge 濃度の SiGe 層 2 6 が形成される。このように、島状領域としての SiGe 層 2 5 の周辺領域が非晶質又は多結晶であるために、SiGe 層 2 5 は周辺領域における粒界のずれを利用して横方向に格子を広げることができる。これにより、SiGe 層 2 5 における格子歪みを十分に緩和することができる。

## 【 0 0 2 9 】

次いで、図 1 (e) に示すように、表面の酸化膜 2 4 を除去した後、SiGe 層 2 5 上に歪み Si 層 4 1 をエピタキシャル成長する。このとき、非晶質 SiGe 層 2 6 上には多結晶 Si 層 4 2 が形成される。

#### 【0030】

次いで、図 1 (f) に示すように、通常の CMOS プロセスにて回路を作製する。即ち、ゲート酸化膜 5 1 を介してゲート電極 5 2 を形成し、更にゲート側壁絶縁膜 5 3 を形成し、これらをマスクにソース・ドレイン拡散層形成のためのイオン注入を行うことにより、MOSFET が作製される。

#### 【0031】

なお、図 1 では単一の MOSFET のみを示しているが、同一の歪み Si 層上に n 型、p 型の MOSFET を複数形成することにより、CMOS 構造が得られる。

#### 【0032】

このように本実施形態によれば、埋め込み酸化膜 1 2 上の SiGe 層 2 1 の素子形成領域となる島状領域の周辺領域を非晶質化した後に、酸化濃縮法により酸化することにより、高 Ge 組成 SiGe 層 2 5 を形成すると共に、SiGe 層 2 5 を十分に格子緩和させることができる。即ち、埋め込み酸化膜 1 2 上に低転位密度で十分に格子緩和した SiGe バッファ層 2 5 を形成することができる。従って、SiGe 層 2 5 上に形成する歪み Si 層 4 1 を十分に歪ませることができる。これにより高速、低消費電力の CMOS デバイスを作製することができる。

#### 【0033】

なお、酸化濃縮法を用いず、加熱処理を行うだけでも格子緩和した SiGe 層が得られる。この場合、Ge 組成を増大させる効果は得られないが、大きな Ge 組成を必要としない用途の場合、或いは最初から高 Ge 組成の SiGe 膜を成長できる場合には加熱処理だけでも良い。

#### 【0034】

##### (第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態に係わる半導体装置の製造工程を示す断面図である。なお、図 1 と同一部分には同一符号を付して、その詳しい説明は省略す

る。

#### 【0035】

まず、図3 (a) に示すように、Si 基板11上にSiO<sub>2</sub> 膜12を介して膜厚20nmのSi層(SOI層)13を形成した膜厚20nmのSOI基板10を用意し、このSOI基板10上に、膜厚5nmのSiO<sub>2</sub> 膜61を形成し、トランジスタ形成領域30に窓を開ける。窓のサイズは第1の実施例の場合と同じ理由により、20μm<sup>2</sup> より小さいことが好ましい。

#### 【0036】

次いで、図3 (b) に示すように、超高真空CVD、低圧CVD、常圧CVD、又は分子線エピタキシャル成長法により膜厚20nmのSi<sub>0.85</sub>Ge<sub>0.15</sub>層を成長し、さらにその上に膜厚5nmのSiキャップ層を成長する。すると、窓の部分には下地のSi結晶にエピタキシャル成長したSiGe層21とSi層22が、SiO<sub>2</sub> 膜61上には多結晶のSiGe層27と多結晶のSi層28がそれぞれ形成される。

#### 【0037】

次いで、1000℃以上の高温でドライ酸化し、埋め込み酸化膜12上のSiGe膜厚が10nmになるまで薄膜化する。これにより、図3 (c) に示すように、均一組成(x=0.3)の格子緩和Si<sub>1-x</sub>Ge<sub>x</sub>層25が埋め込み酸化膜12上に形成される。酸化温度は、SiGe活性領域が完全に融解しない範囲で高い方が望ましい。何故なら、温度が高いほど埋め込み酸化膜12とSiGe層25との界面でのすべりが促進され、緩和率が高められるためである。具体的には、1150℃から1250℃の間が望ましい。勿論、酸化濃縮中のGe組成の増大に応じ、徐々に酸化温度を下げてよい。

#### 【0038】

なお、SiGe層25の周りの多結晶SiGe層27も同様に酸化濃縮法によりGe濃度が高くなり、高Ge濃度のSiGe層26が形成される。このSiGe層26は、依然として多結晶の状態である。このように、島状領域としてのSiGe層25の周辺領域が多結晶であるために、SiGe層25は周辺領域における粒界のずれを利用して横方向に格子を広げることができる。これにより、S

i Ge 層 2 5 における格子歪みを十分に緩和することができる。また、SiO<sub>2</sub> 膜 6 1 は極めて薄いため、この層 6 1 により Si Ge 層 2 5 の格子緩和が阻害されることはない。

## 【 0 0 3 9 】

次いで、図 3 (d) に示すように、表面の酸化膜 2 4 を剥離した後、歪み Si 層 4 1 をエピタキシャル成長する。このとき、多結晶の Si Ge 層 2 6 上の Si 層 4 2 は多結晶となる。

## 【 0 0 4 0 】

これ以降は、第 1 の実施形態と同様に、図 3 (e) に示すように、ゲート酸化膜 5 1 を介してゲート電極 5 2 を形成し、更にゲート側壁絶縁膜 5 3 を形成し、これらをマスクにソース・ドレイン拡散層形成のためのイオン注入を行うことにより、MOSFET が作製される。

## 【 0 0 4 1 】

このように本実施形態によれば、SOI 基板 1 0 上に一部窓を有する酸化膜 6 1 を選択形成し、その上に Si Ge 層を形成することにより、Si Ge の単結晶の島状領域と、その多結晶の周辺領域を形成することができる。そして、この状態で酸化濃縮法を行うことにより、第 1 の実施形態と同様に、高 Ge 組成 Si Ge 層 2 5 を形成すると共に、Si Ge 層 2 5 を十分に格子緩和させることができる。従って、第 1 の実施形態と同様の効果が得られる。

## 【 0 0 4 2 】

## (変形例)

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、格子緩和のためのバッファ層として Si Ge を用いたが、この代わりに Si Ge C を用いることもできる。この場合、C 組成の選択により、歪みの設定の自由度を増すことができる。つまり、格子緩和のためのバッファ層としては、Si<sub>1-x-y</sub> Ge<sub>x</sub> C<sub>y</sub> 層 (1 > x > 0, 1 > y ≥ 0) を用いることができる。また、格子緩和のためのバッファ層上に形成する素子形成用半導体層は必ずしも Si に限るものではなく、Ge や C を含むものであってもよい。つまり、Si<sub>1-z-w</sub> Ge<sub>z</sub> C<sub>w</sub> 層 (1 > z ≥ 0, 1 > w ≥ 0) を用いることができる。

## 【 0 0 4 3 】

また、歪みは実施形態で述べた引張り歪みではなく、圧縮歪みでも良い。この場合、Geの組成比は格子緩和バッファ層より大きなものとなる。特に、チャンネル層のGe組成が70%程度以上になると、引張り歪みSiよりも高い電子、正孔移動度を得られる。

## 【 0 0 4 4 】

また、島状領域の形状としては、矩形に限定することなく、他の多角形、円形、楕円形を用いることも当然可能である。また、トランジスタ形成領域30は必ずしも完全に孤立したものではなく、半島状に設けられたものであってもよい。さらに、図4(a)に示すようにスリット71が設けられたもの、或いは図4(b)に示すように穴72が設けられたものであってもよい。なお、図中の73はソース・ドレインのコンタクトホールを示している。

## 【 0 0 4 5 】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

## 【 0 0 4 6 】

## 【発明の効果】

以上詳述したように本発明によれば、SOI層上に形成した $Si_{1-x-y}Ge_xC_y$ 層( $1 > x > 0$ ,  $1 > y \geq 0$ )に対し、島状領域に隣接する周辺領域を非晶質又は多結晶とすることにより、島状領域の結晶の格子歪みを十分に緩和させることができる。その結果として、高速、低消費電力で信頼性の高いCMOSデバイスの実現に寄与することができる。

## 【図面の簡単な説明】

## 【図1】

第1の実施形態に係わる半導体装置の製造工程を示す断面図。

## 【図2】

第1の実施形態に用いた酸化濃縮法を説明するための断面図。

## 【図3】

第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 4】

本発明の変形例を説明するための平面図。

【図 5】

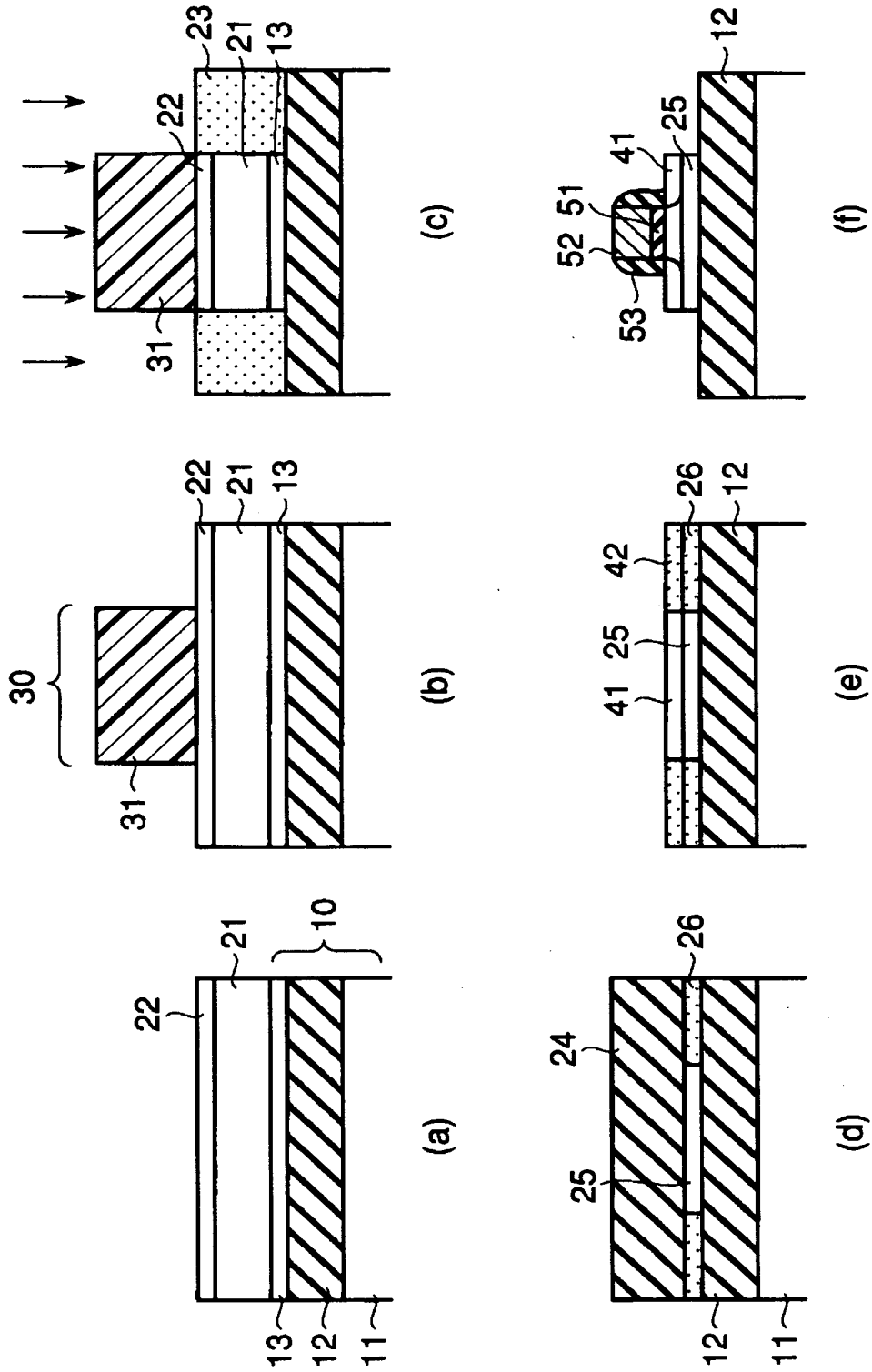
従来の歪み S O I - M O S F E T の素子構造を示す断面図。

【符号の説明】

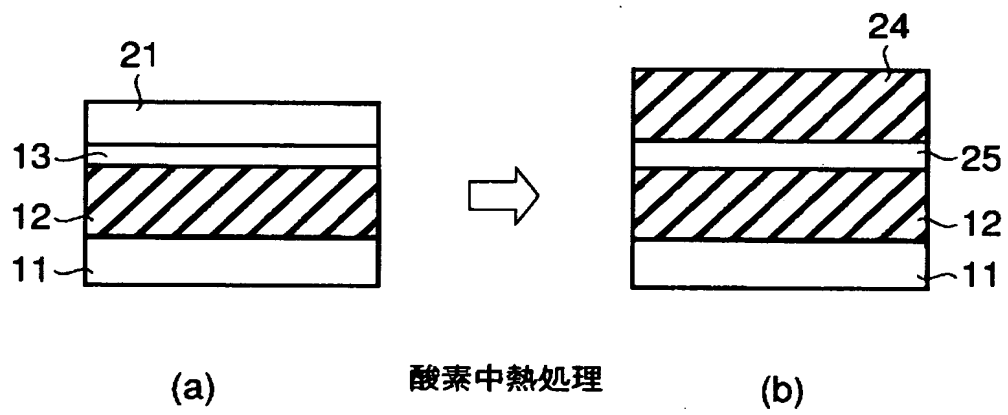
- 1 0 … S O I 基板
- 1 1 … S i 基板
- 1 2 … S i O<sub>2</sub> 膜 (埋め込み絶縁膜)
- 1 3 … S i 層 (S O I 層)
- 2 1 … 低 G e 組成 S i G e 層
- 2 2 … S i キャップ層
- 2 3 … 非晶質 S i G e 層
- 2 4 … 酸化膜
- 2 5 … 高 G e 組成 S i G e 層 (格子緩和 S i G e 層)
- 2 6 … 非晶質又は多結晶の S i G e 層
- 2 7 … 多結晶 S i G e 層
- 2 8 … 多結晶 S i 層
- 3 0 … トランジスタの活性領域 (素子形成領域)
- 3 1 … レジスト
- 4 1 … 歪み S i 層
- 4 2 … 非晶質 S i 層
- 5 1 … ゲート酸化膜
- 5 2 … ゲート電極
- 5 3 … 側壁絶縁膜
- 6 1 … S i O<sub>2</sub> 膜
- 7 1 … スリット
- 7 2 … 穴
- 7 3 … コンタクトホール



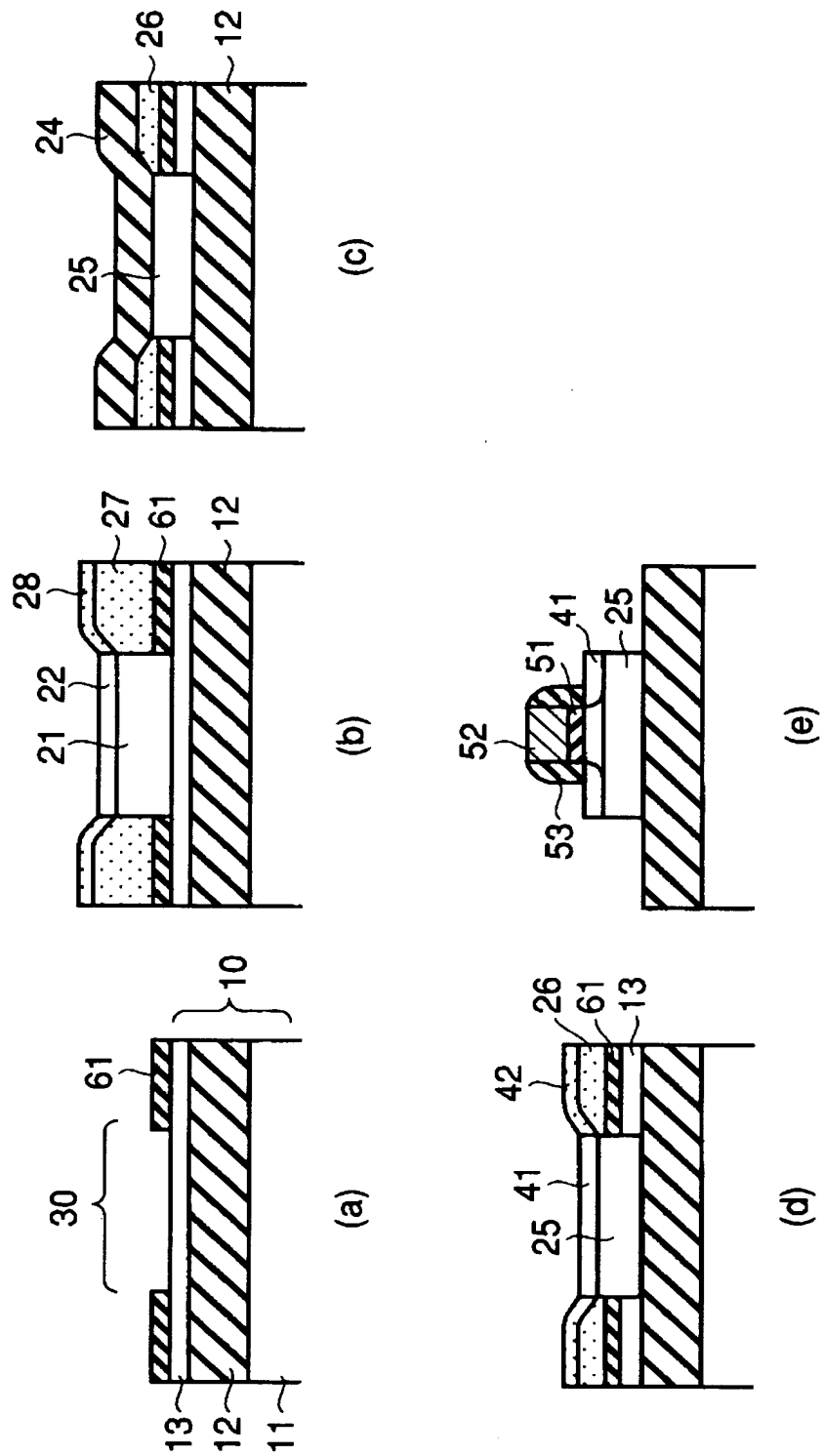
【書類名】 図面  
【図 1】



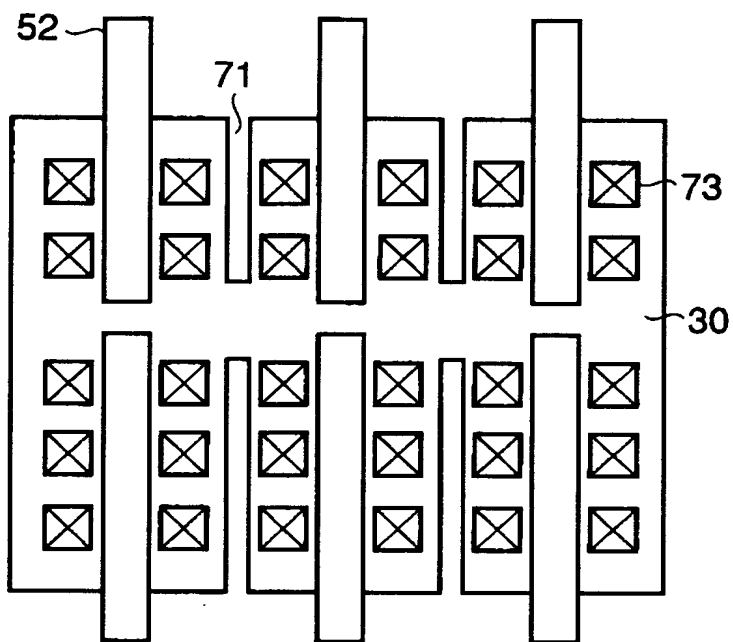
【图 2】



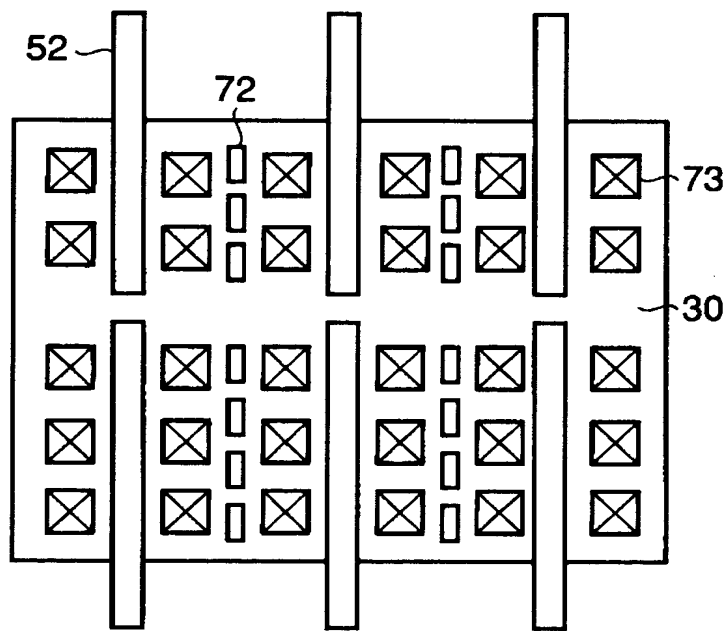
【図 3】



【図 4】

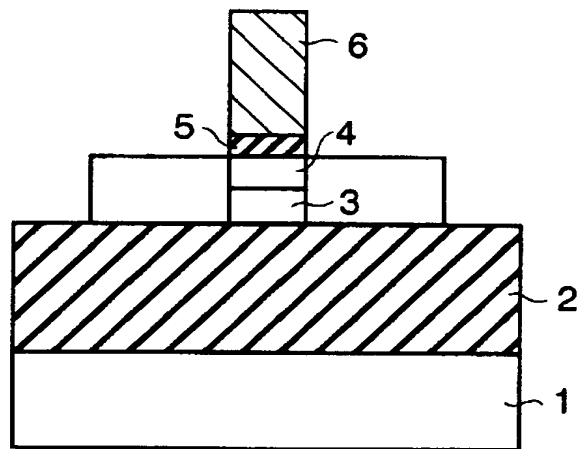


(a)



(b)

【図 5】



【書類名】 要約書

【要約】

【課題】 不純物のドーピングを行うことなく、歪みSi-CMOSの製造に適した絶縁膜上の格子緩和SiGe薄膜を形成することができ、高速、低消費電力のCMOSデバイスの実現に寄与する。

【解決手段】 半導体装置の製造方法において、SOI基板10上に単結晶のSiGe層21を形成した後、SiGe層21上にレジスト31を島状パターンに形成し、次いでレジスト31をマスクに用いてSiGe層21にイオンを注入して非晶質のSiGe層23を形成し、次いでSiGe層21, 23に加熱処理を施して表面の一部を酸化して酸化膜24を形成すると共に、SiGe層21のGe組成を高めて歪み緩和SiGe層25を形成し、次いで酸化膜24を除去した後歪み緩和SiGe層25上にトランジスタの素子形成領域となる歪みSi層41を形成し、次いで歪みSi層41にMOSFETを形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝